

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-357735

(P2000-357735A)

(43) 公開日 平成12年12月26日 (2000. 12. 26)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード* (参考)
H 0 1 L 21/768		H 0 1 L 21/90	D 2 H 0 9 2
G 0 2 F 1/1365		G 0 9 F 9/30	3 3 8 4 M 1 0 4
G 0 9 F 9/30	3 3 8		3 4 8 A 5 C 0 9 4
	3 4 8		3 6 5 C 5 F 0 3 3
	3 6 5	H 0 1 L 21/28	L 5 F 1 1 0
審査請求 未請求 請求項の数 8 O L (全 11 頁) 最終頁に続く			

(21) 出願番号 特願平11-166945

(22) 出願日 平成11年6月14日 (1999. 6. 14)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 北和田 清文

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72) 発明者 木村 睦

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100093388

弁理士 鈴木 喜三郎 (外2名)

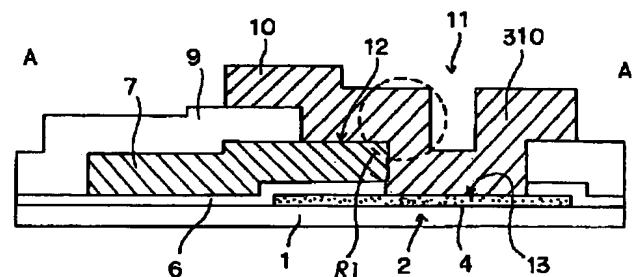
最終頁に続く

(54) 【発明の名称】 半導体装置、電気光学装置及び半導体装置の製造方法

(57) 【要約】

【課題】 半導体層のソース領域又はドレイン領域と導通するために必要なコンタクトホール11の数を減らし、最密充填配置をすること。

【解決手段】 層間絶縁膜9及びゲート絶縁膜6を貫通するひとつのコンタクトホール11を介してゲート電極7と半導体層2のソース領域4と配線10とを導通部310により一体的に導通するように構成したので、半導体層2のソース領域4と導通するために必要なコンタクトホール11の数を1つにし、最密充填配置をすることが可能なる。



(2)

1

## 【特許請求の範囲】

【請求項1】 半導体層と、

前記半導体層上に覆うように形成された第1の絶縁膜と、

前記第1の絶縁膜上に形成された第1の配線と、

前記第1の配線を覆うように前記第1の絶縁膜上に形成された第2の絶縁膜と、

前記第2の絶縁膜上に形成された第2の配線と、

前記半導体層のソース領域又はドレイン領域と前記第1の配線と前記第2の配線とを前記第1及び第2の絶縁膜を貫通するひとつのコンタクトホールを介して導通する導通部とを具備することを特徴とする半導体装置。

【請求項2】 前記第2の配線と前記導通部とが一体的に形成されていることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記導通部が前記第1の配線の上面との接統面を有することを特徴とする請求項1又は請求項2に記載の半導体装置。

【請求項4】 前記導通部が前記半導体層のソース領域又はドレイン領域の上面との接統面を有することを特徴とする請求項1から請求項3のうちいずれか1項に記載の半導体装置。

【請求項5】 前記第1の配線が前記半導体層のチャンネル領域と交差するゲート電極を有することを特徴とする請求項1から請求項4のうちいずれか1項に記載の半導体装置。

【請求項6】 基板上に、複数の走査線と、該走査線の延設方向に対して交差する方向に延設された複数のデータ線と、該データ線に並列する複数の共通給電線と、前記データ線と前記走査線とによりマトリクス状に形成された画素領域とを有し、

該画素領域の各々には、前記走査線を介して走査信号が第1のゲート電極に供給される第1の薄膜トランジスタと、該第1の薄膜トランジスタを介して前記データ線から供給される画像信号が第2のゲート電極に供給される第2の薄膜トランジスタと、前記画素領域毎に形成された画素電極と前記走査線と前記データ線を跨いで複数の前記画素電極に対応する対向電極との層間において前記画素電極が前記第2の薄膜トランジスタを介して前記共通給電線に電氣的に接続したときに前記画素電極と前記対向電極との間に流れる駆動電流によって発光する発光層を具備する発光素子とを有する電気光学装置であって、前記第1の薄膜トランジスタの半導体層上に覆うように形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成された前記第2のゲート電極と導通する第1の配線と、

前記第1の配線を覆うように前記ゲート絶縁膜上に形成された層間絶縁膜と、

前記層間絶縁膜上に形成された第2の配線と、

前記半導体層のソース領域又はドレイン領域と前記第1

2

の配線と前記第2の配線とを前記ゲート絶縁膜及び前記層間絶縁膜を貫通するひとつのコンタクトホールを介して導通する導通部とを具備することを特徴とする電気光学装置。

【請求項7】 半導体層を形成する工程と、

前記半導体層上に覆うように第1の絶縁膜を形成する工程と、

前記第1の絶縁膜上に第1の配線を形成する工程と、

前記第1の配線を覆うように前記第1の絶縁膜上に第2の絶縁膜を形成する工程と、

前記第1及び第2の絶縁膜を貫通し、前記半導体層のソース領域又はドレイン領域と前記第1の配線とが露出するようにコンタクトホールを形成する工程と、

前記コンタクトホール内に導通部を形成すると共に前記導通部に導通する第2の配線を前記第2に絶縁膜上に形成する工程とを具備することを特徴とするの製造方法。

【請求項8】 前記コンタクトホールがドライエッチングにより形成されることを特徴とする請求項7に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置や液晶装置の駆動回路、EL（エレクトロルミネッセンス）素子のスイッチング手段等に使われる半導体装置、EL素子等を搭載する電気光学装置及び半導体装置の製造方法の技術分野に属する。本発明は、特に半導体層とその上に形成される2つの配線とを1つのコンタクトホールを通じて一体的に導通するように構成した半導体装置、電気光学装置及び半導体装置の製造方法に関する。

## 【0002】

【従来の技術】一般に、半導体装置として例えば薄膜トランジスタ（以下、TFTと称す。）を使ってダイオードを構成する場合、図11に示すように、薄膜トランジスタ101のゲート電極102とソース領域103とを短絡させて構成している。この場合、TFTがn型ならば、ソース領域103側が陽極でドレイン領域104側が陰極となる。

【0003】このような薄膜トランジスタ101の一般的な構造を図12及び図13に示す。ここで、図12は薄膜トランジスタ101の一般的な構造を示す平面図、図13は図12のA-A断面図である。

【0004】これらの図に示すように、基板105上には半導体層106が形成されている。

【0005】この半導体層106上にはゲート絶縁膜107が形成されており、このゲート絶縁膜107を介して半導体層106のチャンネル領域106aと交差するようにゲート電極108が形成されている。ゲート電極108の一端は延設され、その先端が層間絶縁膜109上に形成されたソース配線110と層間絶縁膜109を貫通する第1のコンタクトホール111を介して接続され

50

(3)

3  
ている。このソース配線110は半導体層106のソース領域103に向けて延設されており、そしてその先端が層間絶縁膜109及びゲート絶縁膜107を貫通する第2のコンタクトホール112を介して半導体層106のソース領域103と接続されている。なお、半導体層106のドレイン領域104は第3のコンタクトホール113を介して図示を省略した配線に接続されている。

#### 【0006】

【発明が解決しようとする課題】しかしながら、上記のように構成された薄膜トランジスタ101においては、ゲート領域102とソース領域103とを導通させるために2つのコンタクトホール111、112を形成する必要があり、しかもこれらのコンタクトホール111、112におけるアライメントずれを考慮して各コンタクトホール111、112においてある程度余裕をもって配置する必要があるため、最密充填配置をするための障害になる、という課題がある。

【0007】本発明はかかる課題に基づきなされたものであり、半導体層のソース領域又はドレイン領域と導通するために必要なコンタクトホール数を減らし、最密充填配置をすることが可能な半導体装置、電気光学装置及び半導体装置の製造方法を提供することを目的としている。

#### 【0008】

【課題を解決するための手段】上記課題を解決するために、本発明の半導体装置は、半導体層と、前記半導体層上を覆うように形成された第1の絶縁膜と、前記第1の絶縁膜上に形成された第1の配線と、前記第1の配線を覆うように前記第1の絶縁膜上に形成された第2の絶縁膜と、前記第2の絶縁膜上に形成された第2の配線と、前記半導体層のソース領域又はドレイン領域と前記第1の配線と前記第2の配線とを前記第1及び第2の絶縁膜を貫通するひとつのコンタクトホールを介して導通する導通部とを具備することを特徴とする。

【0009】本発明のかかる構成によれば、第1及び第2の絶縁膜を貫通する1つのコンタクトホールによって半導体層のソース領域又はドレイン領域と第1の配線と第2の配線とを一体的に導通するように構成したので、半導体層のソース領域又はドレイン領域と導通するために必要なコンタクトホール数を1つにし、最密充填配置をすることが可能なる、という効果がある。

【0010】本発明の一の態様によれば、前記第2の配線と前記導通部とが一体的に形成されていることを特徴とする。かかる構成によれば、導通部を第2の配線と一体的に形成しているので、導通部を形成するための工数を減らすことができる、という効果がある。

【0011】本発明の一の態様によれば、前記導通部が前記第1の配線の上面との接続面を有することを特徴とする。かかる構成によれば、導通部が第1の配線と平面的に接続されるので、これらの間の接続を確実に行うこ

とができる。従って、コンタクトホールのアライメントずれをそれ程考慮しなくてもよくなり、これにより更なる最密充填配置をすることが可能になる、という効果がある。

【0012】本発明の一の態様によれば、前記導通部が前記半導体層のソース領域又はドレイン領域の上面との接続面を有することを特徴とする。かかる構成によれば、導通部が半導体層のソース領域又はドレイン領域と平面的に接続されるので、これらの間の接続を確実に行うことができる。従って、コンタクトホールのアライメントずれをそれ程考慮しなくてもよくなり、これによっても更なる最密充填配置をすることが可能になる、という効果がある。

【0013】本発明の一の態様によれば、前記第1の配線が前記半導体層のチャネル領域と交差するゲート電極を有することを特徴とする。かかる構成によれば、例えばダイオードをTFTによって構成したような場合に最密充填配置をすることが可能なる、という効果がある。

【0014】本発明の電気光学装置は、基板上に、複数の走査線と、該走査線の延設方向に対して交差する方向に延設された複数のデータ線と、該データ線に並列する複数の共通給電線と、前記データ線と前記走査線とによりマトリクス状に形成された画素領域とを有し、該画素領域の各々には、前記走査線を介して走査信号が第1のゲート電極に供給される第1の薄膜トランジスタと、該第1の薄膜トランジスタを介して前記データ線から供給される画像信号が第2のゲート電極に供給される第2の薄膜トランジスタと、前記画素領域毎に形成された画素電極と前記走査線と前記データ線を跨いで複数の前記画素電極に対応する対向電極との層間において前記画素電極が前記第2の薄膜トランジスタを介して前記共通給電線に電気的に接続したときに前記画素電極と前記対向電極との間に流れる駆動電流によって発光する有機半導体膜を具備する発光素子とを有する電気光学装置であって、前記第1の薄膜トランジスタの半導体層上を覆うように形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成された前記第2のゲート電極と導通する第1の配線と、前記第1の配線を覆うように前記ゲート絶縁膜上に形成された層間絶縁膜と、前記層間絶縁膜上に形成された第2の配線と、前記半導体層のソース領域又はドレイン領域と前記第1の配線と前記第2の配線とを前記ゲート絶縁膜及び前記層間絶縁膜を貫通するひとつのコンタクトホールを介して導通する導通部とを具備することを特徴とする。

【0015】上記のように構成された電気光学装置においては各画素ごとにスイッチング素子として2つのTFTが必要とされるため、各画素ごとに1つのTFTで構成できる液晶装置等と比べて画素領域が狭くなる。そこで、本発明では、かかる構成の電気光学装置においてゲート絶縁膜及び層間絶縁膜を貫通する1つのコンタクト

(4)

5

ホールによって第1の半導体装置の半導体層のソース領域又はドレイン領域と第1の配線と第2の配線とを一体的に導通するように構成したので、第1の半導体装置の半導体層のソース領域又はドレイン領域と導通するために必要なコンタクトホールを1つにし、最密充填配置をすることが可能となる。従って、画素領域を広げることが可能となる。

【0016】本発明の半導体装置の製造方法は、半導体層を形成する工程と、前記半導体層上を覆うように第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に第1の配線を形成する工程と、前記第1の配線を覆うように前記第1の絶縁膜上に第2の絶縁膜を形成する工程と、前記第1及び第2の絶縁膜を貫通し、前記半導体層のソース領域又はドレイン領域と前記第1の配線とが露出するようにコンタクトホールを形成する工程と、前記コンタクトホール内に導通部を形成すると共に前記導通部に導通する第2の配線を前記第2に絶縁膜上に形成する工程とを具備することを特徴とする。

【0017】本発明のかかる構成によれば、半導体層のソース領域又はドレイン領域と第1の配線とが露出するようにコンタクトホールを形成し、コンタクトホール内に導通部を形成すると共に導通部に導通する第2の配線を第2に絶縁膜上に形成するようにしたので、半導体層のソース領域又はドレイン領域と導通するために必要なコンタクトホールを1つにし、最密充填配置のされた半導体装置を製造することが可能なる、という効果がある。

【0018】本発明の一の形態によれば、前記コンタクトホールがドライエッチングにより形成されることを特徴とする。かかる構成によれば、コンタクトホールをドライエッチングにより形成するようにしたので、コンタクトホールが半導体層を突き抜けて形成されるようなことはなくなり、コンタクトホールと半導体層のソース領域又はドレイン領域とが平面的に接続され、これらの接続を確実に行うことができる、という効果がある。

【0019】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づき説明する。

【0020】（半導体装置の構造）図1は本発明の一実施形態に係る半導体装置として、TFTの平面図、図2は図1に示したTFTのA-A断面図である。なお、この実施形態に係るTFTは図11に示した回路に本発明を適用したものである。

【0021】これらの図に示すように、a-Si膜からなる基板1上には例えばp-Siからなる半導体層2が形成されている。この半導体層2ではチャンネル領域3の両側にソース領域4及びドレイン領域5が設けられている。

【0022】この半導体層2上にはゲート絶縁膜6が形成されており、このゲート絶縁膜6を介して半導体層2

6

のチャンネル領域3と交差するようにゲート電極7が形成されている。このゲート電極7の一端は延設し、更にUターンして半導体層2のソース領域4と重なる位置まで延設している。

【0023】また、ゲート絶縁膜6上にはゲート電極7を覆うように層間絶縁膜9が形成されており、この層間絶縁膜9上には配線10が形成されている。この配線10は上述したようにゲート電極7と半導体層2のソース領域4とが重なる位置まで延設している。

【0024】そして、ゲート電極7と半導体層2のソース領域4と配線10とがゲート絶縁膜を介して重なり、層間絶縁膜9及びゲート絶縁膜6を貫通したコンタクトホール11内には導通部310が形成され、この導通部は例えば配線10と一体的に設けられている。このように1つのコンタクトホール11内で配線10と導通部310とが一体的に設けられているので、導通部310をコンタクトホールに形成するための工数を低減することができる。

【0025】このコンタクトホール11はゲート電極7の上部平面（上面）との接続面12を有し、更に半導体層2のソース領域4の上部平面との接続面13を有する。このようにコンタクトホール11とゲート電極7及び半導体層2のソース領域4とが平面的に接続している部分を有するので、より確実に電氣的な接続を行うことができる。そのためには例えば接続面12の面積としては、 $4\mu\text{m}^2$ 以上が好ましく、接続面13の面積としては、 $4\mu\text{m}^2$ 以上が好ましい。

【0026】なお、半導体層2のドレイン電極5はコンタクトホール14を介して図示を省略した配線に接続されている。

【0027】このように本実施形態においては、層間絶縁膜9及びゲート絶縁膜6を貫通するコンタクトホール11を介して導通部310がゲート電極7と半導体層2のソース領域4と配線10とを一体的に導通するように構成したので、半導体層2のソース領域4と導通するために必要なコンタクトホール11の数を1つにし、最密充填配置をすることが可能なる。

【0028】また、図2に示す構造で配線10側のR1の部分で断線が生じた場合でも図1に示すR2のパスによりゲート電極7と配線10の接続が得られ、確実な接続となる点で好ましい。

【0029】なお、この実施形態では、コンタクトホール11を介して半導体層2のソース領域4をゲート電極7及び配線10と一体的に導通していたが、半導体層のゲート領域についても1つのコンタクトホールによってゲート電極及び配線と一体的に導通するように構成してもよい。

【0030】（半導体装置の製造方法）次に、図1及び図2に示したTFTの製造方法を説明する。

【0031】図3から図5はこの実施形態に係るTFT

(5)

7

の製造工程を説明するための図である。

【0032】まず図3(a)に示すように、a-Si膜からなる基板1上に例えばKrFまたはXeClなどのエキシマレーザ光を $300\sim600\text{mJ}/\text{cm}^2$ 照射することにより、a-Si膜を結晶化させ、厚さ $20\text{nm}\sim100\text{nm}$ のp-Si膜301を得る。

【0033】次に、図3(b)に示すように、レジスト塗布、露光処理及び現像処理を経てp-Si膜301上に半導体層2に相当する形状のフォトレジストマスク302を形成する。

【0034】次に、図3(c)に示すように、フォトレジストマスク302をマスクとして、p-Si膜301を例えば塩素系ガスを用いてRIE(reactive ion etching)により、エッチングし、半導体層2に相当する形状のp-Si層303を形成する。なお、RIEのようなドライエッチング以外に、弗硝酸を用いてエッチングするなど薬液を用いるウエットエッチングを使用することもできる。

【0035】次に、図3(d)に示すように、フォトレジストマスク302を剥離後、PECVD法により、TEOS(テトラエチルオルソシリケート)と酸素ガスとを原料ガスとして、 $50\sim120\text{nm}$ の膜厚のゲート絶縁膜6を形成する。ここで、原料ガスとしては、SiH<sub>4</sub>と酸素ガスとを用いても良い。

【0036】次に、図3(e)に示すように、p-Si層303上の半導体層2のチャネル領域3に相当する位置にトレジストマスク304を形成する。そして、このフォトレジストマスク304をマスクにし、イオン注入法により、例えば不純物イオンとして $1\times10^{13}\sim2\times10^{14}$ 個/ $\text{cm}^2$ のドーズ量にてリンイオンをp-Si層303に注入し、ソース領域4及びドレイン領域5を形成する。

【0037】次に、図4(f)に示すように、フォトレジストマスク304を除去した後、ゲート絶縁膜6上に、PVD(physical vapour deposition)法により、 $200\sim600\text{nm}$ の膜厚、ここでは $500\text{nm}$ のアルミニウム膜305を形成する。

【0038】次に、図4(g)に示すように、ゲート電極7に相当する形状のフォトレジストマスク306を形成する。そして、フォトレジストマスク306をマスクとして、弗素系または塩素系ガスを用いてRIE法により、アルミニウム膜305をエッチング後、フォトレジスタパターン306を剥離して、図4(h)に示すようなゲート電極7を形成する。

【0039】次に、図4(i)に示すように、ゲート電極7を覆うように、TEOSと酸素ガスとを原料ガスとしてPECVD法により、 $300\sim1500\text{nm}$ 、ここでは $1200\text{nm}$ の厚みの層間絶縁膜9を形成する。

【0040】次に、図4(j)に示すように、コンタクトホール11に相当する形状にパターニングされたフォ

8

トレジストマスク307を形成する。

【0041】そして、図5(k)に示すように、フォトレジストマスク307をマスクとして弗素系、例えばC<sub>2</sub>HF<sub>5</sub>やCHF<sub>3</sub>を用いた反応性イオンエッチング法(RIE法)により層間絶縁膜9及びゲート絶縁膜6を貫通するコンタクトホール11を形成し、フォトレジストマスク307を剥離する。このようにコンタクトホール11をドライエッチングにより形成することによって、コンタクトホール11が半導体層2を突き抜けて形成されるようなことはなくなる。

【0042】次に、図5(l)に示すように、層間絶縁膜9上に、PVD(physical vapour deposition)法により、 $300\sim1000\text{nm}$ の膜厚のアルミニウム膜308を形成する。

【0043】次に、図5(m)に示すように、アルミニウム膜308上に、配線10に相当する箇所以外が除去された形状のフォトレジストマスク309を形成する。フォトレジストマスク309をマスクとしてアルミニウム膜308を塩素系ガスを用いてRIE法によりエッチング後、フォトレジストマスク309を剥離する。これにより、図5(n)に示すように、配線10が形成されると共にこれに導通する導通部310がコンタクトホール11内に形成される。

【0044】以上のように本実施形態によれば、半導体層2のソース領域又はドレイン領域とゲート電極7と配線10とを導通するために必要なコンタクトホール11の数を1つにし、最密充填配置のされた半導体装置を製造することが可能である。

【0045】(電気光学装置の第1の実施形態) 次に、本発明の電気光学装置の第1の実施形態として、電荷注入型の有機薄膜EL素子を用いたアクティブマトリクス型表示装置について説明する。

【0046】図6はこのようなアクティブマトリクス型表示装置の構成を示すブロック図である。

【0047】図6に示す表示装置601では、透明基板600上に、複数の走査線gateと、該走査線gateの延設方向に対して交差する方向に延設された複数のデータ線sigと、該データ線sigに並列する複数の共通給電線comと、データ線sigと走査線gateとの交差点に対応する画素領域607とが構成されている。データ線sigに対しては、シフトレジスタ、レベルシフタ、ビデオライン、アナログスイッチを備えるデータ側駆動回路603が構成されている。走査線に対しては、シフトレジスタおよびレベルシフタを備える走査側駆動回路604が構成されている。

【0048】また、画素領域607の各々には、走査線を介して走査信号がゲート電極に供給される第1のTFT620と、この第1のTFT620を介してデータ線sigから供給される画像信号を保持する保持容量capと、該保持容量capによって保持された画像信号がゲート電

(6)

9

極に供給される第2のTFT630と、第2のTFT630を介して共通給電線comに電氣的に接続したときに共通給電線comから駆動電流が流れ込む発光素子640とが構成されている。

【0049】図7は上記の画素領域607の構成を示す平面図、図8は図7のA-A断面図、図9は図7のB-B断面図である。

【0050】図7及び図8に示すように、いずれの画素領域においても、島状の2つの半導体膜を利用して第1のTFT620を構成する第1の半導体層720及び第2のTFT630を構成する第2の半導体層730が形成され、第2の半導体層730のドレイン領域には、第1層間絶縁膜751のコンタクトホール761を介して中継電極735が電氣的に接続し、該中継電極735には第2層間絶縁膜752のコンタクトホール762を介して画素電極741が電氣的に接続している。この画素電極741の上層側には、正孔注入層742、有機半導体材料等からなる発光層743、対向電極OPが積層されている。ここで、対向電極OPは、データ線sigなどを跨いで複数の画素領域607にわたって形成されている。第2の半導体層730のソース領域には、コンタクトホール763を介して共通給電線comが電氣的に接続している。

【0051】第2の半導体層730のチャネル領域上にはゲート絶縁膜750を介してゲート電極731が形成されている。ここで、図9に示すように、このゲート電極731は第1の半導体層720のドレイン領域にまで延設している。更に、その上にはゲート電極731上に形成された第1層間絶縁膜751を介して配線710が形成されている。従って、配線710は延設されたゲート電極731と第1の半導体層720のドレイン領域と平面的に重なるように配置されている。

【0052】そして、延設されたゲート電極731と第1の半導体層720のドレイン領域と配線710とが重なる位置には、第1層間絶縁膜751及びゲート絶縁膜750を貫通し導通部709が形成されたコンタクトホール711が例えば配線710と一体的に設けられている。このコンタクトホール711は延設されたゲート電極731の上部平面との接続面712を有し、更に第1の半導体層720のドレイン領域の上部平面との接続面713を有する。

【0053】また第1の半導体層720のソース領域は第1層間絶縁膜751及びゲート絶縁膜750を貫通するコンタクトホール764を介してデータ線sigと電氣的に接続されている。更に第1の半導体層720ではチャネル領域上にはゲート絶縁膜750を介して走査線gateから突出したゲート電極721が該チャネル領域と交差するように形成されている。

【0054】以上のように本実施形態では、第1の半導体層720のドレイン領域と延設されたゲート電極731及び配線710とを導通するために必要なコンタクト

10

ホールの数を1つにしたので、最密充填配置をすることが可能なる。従って、画素領域607を広げることが可能となり、画素電極の面積を大きくすることができる。

【0055】かかる図6乃至図9の配線、画素構造を有する表示装置では、走査線gateを介して走査信号が第1のTFT620のゲート電極721に供給されると、TFT620がオン状態になり、データ線sigを介して画像信号が当該TFTのドレイン側に供給され、保持容量capに保持される。そして、この保持容量に保持された画像信号が第2のTFT630のゲート電極731に供給されTFT630がオン状態になると、給電線com側(TFT630のソース側)から駆動電流が供給される。この電流はTFT630のドレイン側に供給され、画素において、画素電極741から正孔注入層742を経て正孔が注入され対向電極opから電子が注入され発光層743で正孔及び電子が再結合し発光を生じる。

【0056】(電気光学装置の第2の実施形態)次に、本発明の電気光学装置の第2の実施形態として、上記の電気光学装置とは形態の異なる電荷注入型の有機薄膜EL素子を用いたアクティブマトリクス型表示装置について説明する。

【0057】この実施形態に係る表示装置は基本的には図6に示した表示装置と同様の構成であるが、各画素領域の形態が異なる。ただし、この実施形態では、データ線sigが2本ずつ設けられ、これらデータ線sigに沿ってそれぞれ隣接する画素領域には異なるデータ線sigから信号が供給されるようになっている。

【0058】図10はこの実施形態に係る表示装置における画素領域807の構成を示す平面図である。

【0059】図10に示すように、いずれの画素領域807においても、走査線gateに沿って、走査線gateの近傍に第1のTFT820が形成され、画素領域807のほぼ中央に第2のTFT830が形成されている。

【0060】第2のTFT830を構成する第2の半導体層930のドレイン領域には、第1層間絶縁膜のコンタクトホール961を介して第1の中継電極935が電氣的に接続し、該第1の中継電極935には第2層間絶縁膜のコンタクトホール962を介して第2の中継電極936に電氣的に接続している。第2の中継電極936は画素領域807の中央付近からデータ線sigに沿って両側に分岐しており、画素領域807を2分したそれぞれのほぼ中央に配置された円形の画素電極941、942に電氣的に接続している。

【0061】この画素電極941の上層側には、正孔注入層、有機半導体膜、対向電極が積層されている。ここで、対向電極は、データ線sigなどを跨いで複数の画素領域807にわたって形成されている。第2の半導体層930のソース領域には、コンタクトホール963を介して共通給電線comが電氣的に接続している。

【0062】第2の半導体層930のチャネル領域上に

(7)

11

はゲート絶縁膜を介してゲート電極931が形成されている。ゲート電極931は共通給電線comの下まで延設され、これによりゲート電極931と共通給電線comとが対向することによる第2のTFT830に対する保持容量部990が形成されている。

【0063】更に、このゲート電極931は第1のTFT820を構成する第1の半導体層920のドレイン領域にまで延設している。更に、その上にはゲート電極931上に形成された第1層間絶縁膜を介して配線910が形成されている。従って、配線910は延設されたゲート電極931と第1の半導体層920のドレイン領域と平面的に重なるように配置されている。

【0064】そして、延設されたゲート電極931と第1の半導体層920のドレイン領域と配線910とが重なる位置には、第1層間絶縁膜及びゲート絶縁膜を貫通する導通部が形成されたコンタクトホール911が例えば配線910と一体的に設けられている。このような構造については図9に示したものと同様である。

【0065】また第1の半導体層920のソース領域は第1層間絶縁膜及びゲート絶縁膜を貫通するコンタクトホール964を介してデータ線sigと電気的に接続されている。更に第1の半導体層920ではチャネル領域上にはゲート絶縁膜を介して走査線gateから突出した3本のゲート電極921が該チャネル領域と交差するように形成されている。

【0066】この実施形態においても、第1の半導体層920のドレイン領域と延設されたゲート電極931及び配線910とを導通するために必要なコンタクトホール911の数を1つにしたので、最密充填配置をすることが可能となる。従って、画素領域807を広げることが可能となり、画素電極の面積を大きくすることができる。

【0067】上記の実施形態では、TFTを用いて説明したが、これに限らず、シリコン基板にトランジスタを形成する構造においても適用可能である。

【図面の簡単な説明】

【図1】本発明の一実施形態に係る薄膜トランジスタの平面図である。

【図2】図1に示した薄膜トランジスタのA-A断面図

12

である。

【図3】本発明の一実施形態に係る薄膜トランジスタの製造プロセスを順を追って示す工程図（その1）である。

【図4】本発明の一実施形態に係る薄膜トランジスタの製造プロセスを順を追って示す工程図（その2）である。

【図5】本発明の一実施形態に係る薄膜トランジスタの製造プロセスを順を追って示す工程図（その3）である。

【図6】本発明の電気光学装置の第1の実施形態に係る電荷注入型の有機薄膜EL素子を用いたアクティブマトリクス型表示装置の構成を示すブロック図である。

【図7】図6に示した表示装置における画素領域の構成を示す平面図である。

【図8】図7に示した画素領域のA-A断面図である。

【図9】図7に示した画素領域のB-B断面図である。

【図10】本発明の電気光学装置の第2の実施形態に係る電荷注入型の有機薄膜EL素子を用いたアクティブマトリクス型表示装置における表示領域の構成を示す平面図である。

【図11】半導体装置を使ってダイオードを構成した場合の回路図である。

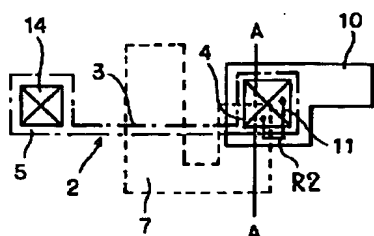
【図12】図11の回路に係る半導体装置の一般的な構造を示す平面図である。

【図13】図12におけるA-A断面図である。

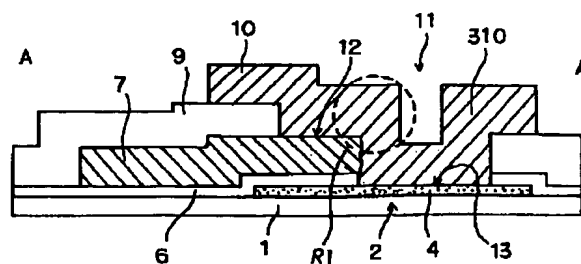
【符号の説明】

- 2 半導体層
- 3 チャネル領域
- 4 ソース領域
- 5 ドレイン領域
- 6 ゲート絶縁膜
- 7 ゲート電極
- 9 層間絶縁膜
- 10 配線
- 11 コンタクトホール
- 12、13 接続面
- 310 導通部

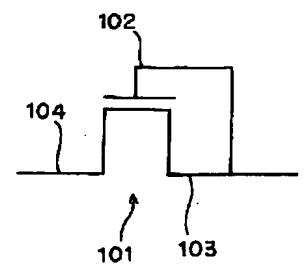
【図1】



【図2】

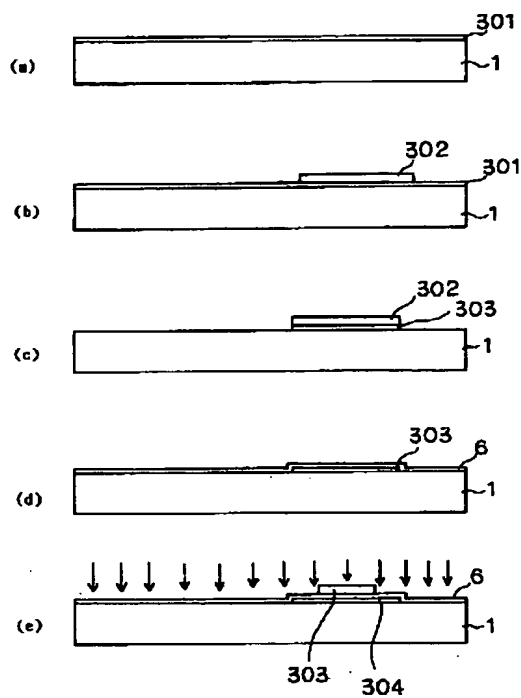


【図11】

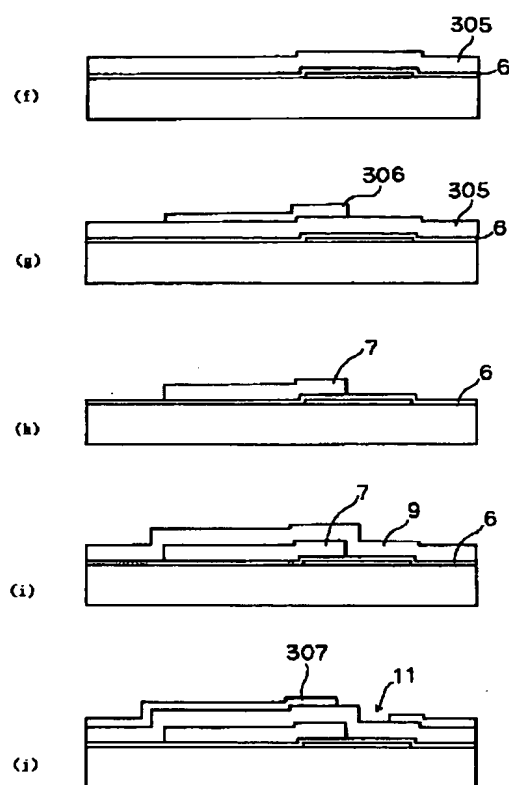


(8)

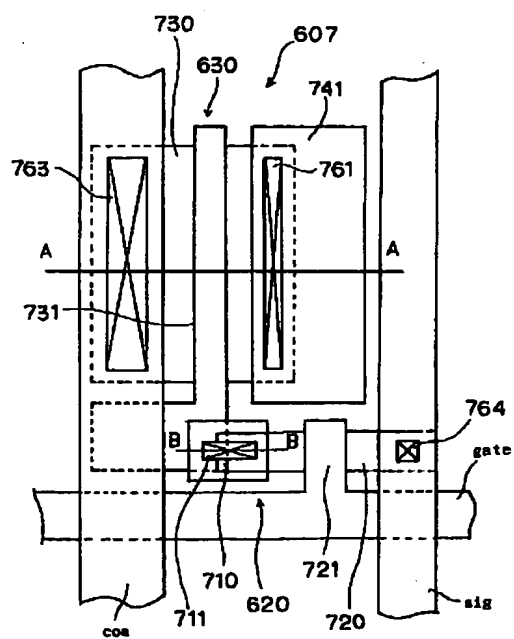
【図 3】



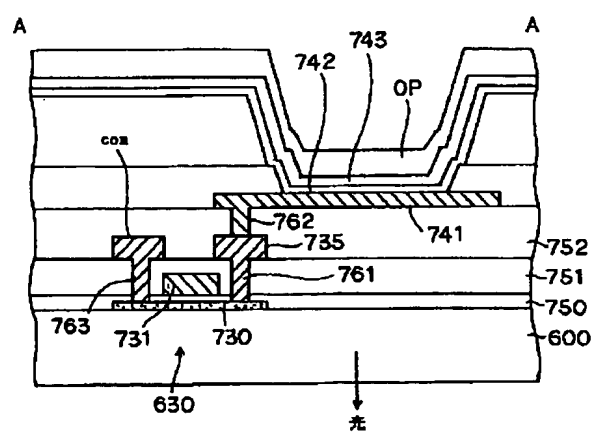
【図4】



【図 7】



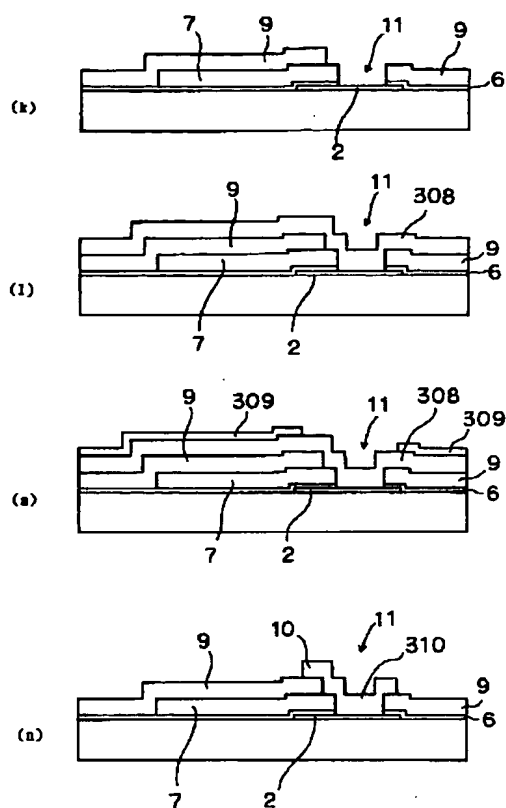
【图8】



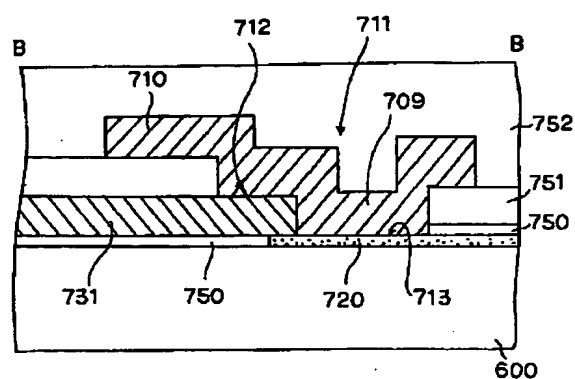


(9)

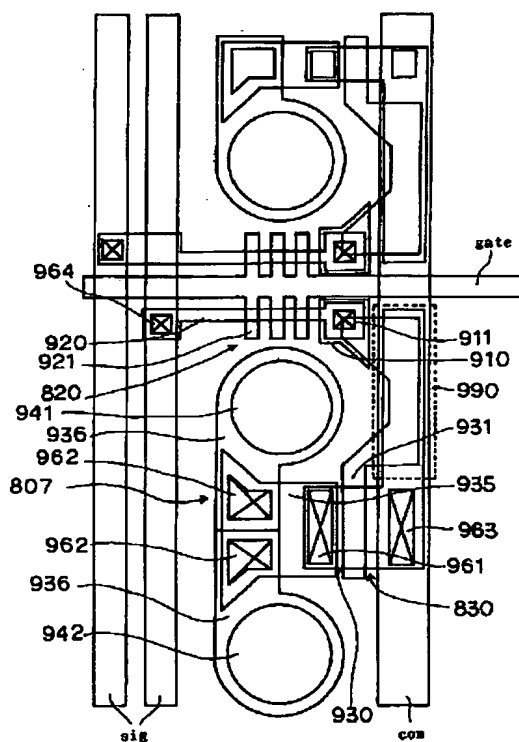
【図5】



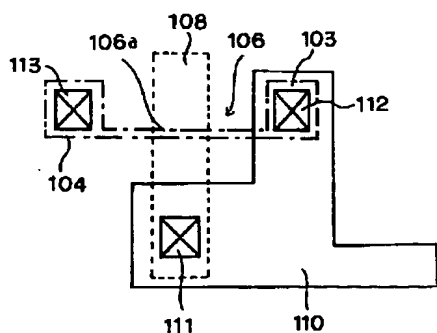
【図9】



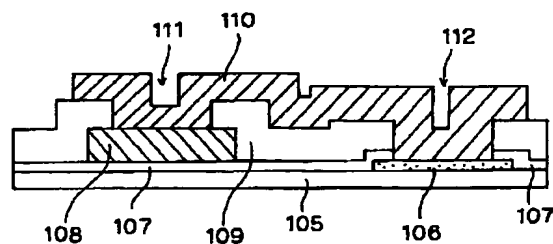
【図10】



【図12】

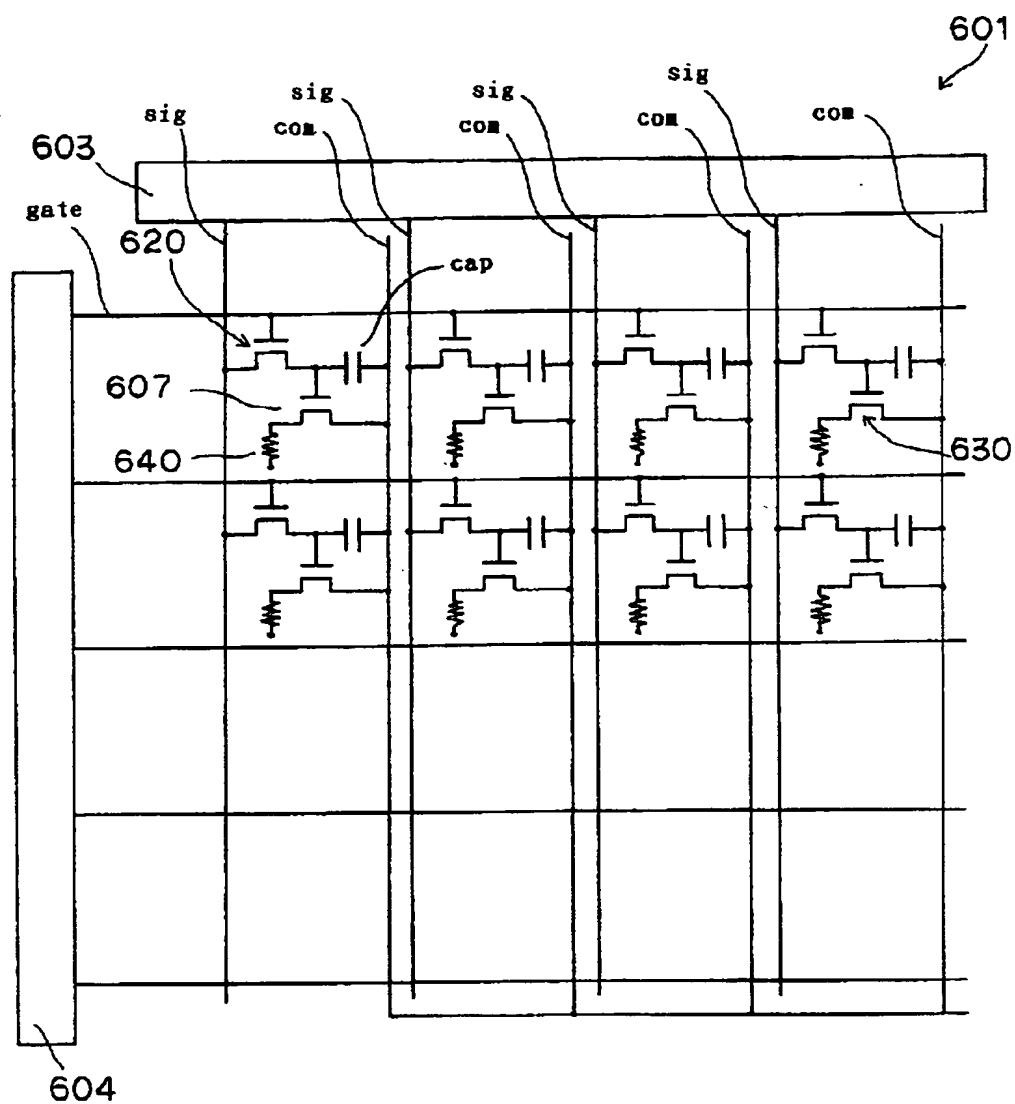


【図13】



(10)

【図6】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I

テーマコード (参考)

H 0 1 L 21/28  
29/786  
21/336  
29/861

G 0 2 F 1/136  
H 0 1 L 29/78  
29/91

5 0 0  
6 1 2 D  
6 2 2  
L

(72) 発明者 前田 浩

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(11)

F ターム(参考) 2H092 JA46 KA04 KA07 MA03 MA18  
MA30 NA27 RA10  
4M104 AA01 BB02 CC01 CC05 DD08  
DD16 DD33 DD63 FF26 GG20  
HH20  
5C094 AA05 BA03 BA29 BA43 CA19  
DA13 DB04 EA04 EA05 EA07  
EA10 FA01 FA02 GB10  
5F033 JJ01 JJ08 KK04 KK08 MM00  
NN39 PP14 QQ08 QQ09 QQ13  
QQ58 QQ65 QQ73 QQ83 RR04  
SS02 SS04 VV06 VV15 XX00  
5F110 AA04 AA16 BB02 BB20 CC01  
CC02 DD05 EE03 EE42 FF02  
FF29 GG02 GG13 HJ01 HJ04  
HJ13 HL03 HM13 HM17 NN02  
NN04 NN23 NN35 PP03